

半導体装置及びその製造方法

5 技術分野

本発明は、半導体装置及びその製造方法に係わり、特に、複数の半導体チップを備えたスタックドパッケージに関する。

背景技術

- 10 近年、システムLSIなどの半導体装置の小型化を促進するために、半導体チップを積層するスタックドパッケージが開発されている。このスタックドパッケージは、図3に示す構成を有する。

- 15 図3において、インターポザー基板31上には、複数の電極パッドが形成されている。この電極パッド上には、第1半導体チップ32がフリップチップ実装されている。すなわち、第1チップ32の表面には、前記電極パッドに対応する位置に bumps 34 が設けられており、bumps 34 と電極パッドとが電氣的に接続されるようにして、インターポザー基板31上に第1チップ32がフリップチップ実装されている。

- 20 第1チップ32の裏面上には、第1チップ32よりも寸法が小さい第2半導体チップ33が接着剤（図示せず）を介して搭載されている。第2チップ33は、ワイヤ35によりインターポザー基板31に対してワイヤボンディングされている。これらの第1チップ32及び第2チップ33は、封止樹脂36によりモールドされている。

- 25 インターポザー基板31のチップ実装側と反対側には、プリント配線板に実装する際に使用する接続部材である半田ボール37が設けられている。この半田ボール37により、スタックドパッケージとプリント配線板とが電氣的に接続される。

図3の構成においては、第1チップ32の大きさよりも第2チップ33の大きさが小さい。しかしながら、システムLSIの構成によっては、第1チップ

3 2の大きさよりも第2チップ3 3の大きさが大きいものもある。

この場合、第2チップとインターポーザー基板とをワイヤボンディングするときに、第2チップの加熱が難しくなり、また第1チップの角部が当接する第2チップの部分に超音波負荷が集中してその部分に過度なストレスが発生する。その結果、第2チップが破損してしまうおそれがある。

本発明はかかる点に鑑みてなされたものであり、半導体チップを積層してなるスタックドパッケージにおいて、上側の半導体チップの大きさが大きい場合であっても、半導体チップを破損させることなくワイヤボンディングを行うことができる半導体装置及びその製造方法を提供することを目的とする。

10

発明の開示

本発明は、基板上に搭載された第1半導体チップと、

前記第1半導体チップ上に積層され、前記第1半導体チップよりも大きい第2半導体チップと、

15 前記第2半導体チップと前記基板との間に配置された台部材と、

前記基板下に配置された接続部材と、

を具備し、

前記台部材により前記第2半導体チップを支持することを特徴とする半導体装置を提供する。

20

この構成によれば、台部材で第2半導体チップを支持するので、第2半導体チップと基板をワイヤボンディングする場合に、台部材を介して第2半導体チップに十分に熱を伝達させることができ、第2半導体チップへの加熱を効率良く行うことができる。また、第1半導体チップから外側に延出した第2半導体チップ部分へ加わるボンディング加重や超音波エネルギーを緩和することができる。その結果、第2半導体チップの破損を防止することができる。

25

本発明は、基板上に搭載された第1半導体チップと、

前記第1半導体チップ上に積層され、前記第1半導体チップよりも大きい第2半導体チップと、

前記第2半導体チップと前記基板との間に設けられた充填層と、

前記基板下に配置された接続部材と、
を具備し、

前記充填層により前記第2半導体チップを支持することを特徴とする半導体装置を提供する。

- 5 この構成によれば、充填層で第2半導体チップを支持するので、第2半導体チップと基板をワイヤボンディングする場合に、充填層を介して第2半導体チップに十分に熱を伝達させることができ、第2半導体チップへの加熱を効率良く行うことができる。また、第1半導体チップから外側に延出した第2半導体チップ部分へ加わるボンディング加重や超音波エネルギーを緩和することができる。その結果、第2半導体チップの破損を防止することができる。

本発明は、基板上に第1半導体チップを搭載する工程と、

前記基板上の前記第1半導体チップの外側に台部材を配置する工程と、

前記台部材により支持されるように、前記第1半導体チップ上に前記第1半導体チップよりも大きい第2半導体チップを搭載する工程と、

- 15 を具備することを特徴とする半導体装置の製造方法を提供する。

- この方法によれば、台部材で第2半導体チップを支持するので、第2半導体チップと基板をワイヤボンディングする場合に、台部材を介して第2半導体チップに十分に熱を伝達させることができ、第2半導体チップへの加熱を効率良く行うことができる。また、第1半導体チップから外側に延出した第2半導体チップ部分へ加わるボンディング加重や超音波エネルギーを緩和することができる。その結果、第2半導体チップの破損を防止することができる。

本発明は、基板上に第1半導体チップを搭載する工程と、

前記第1半導体チップ上に前記第1半導体チップよりも大きい第2半導体チップを搭載する工程と、

- 25 前記前記第2半導体チップを支持するように充填層を設ける工程と、
を具備することを特徴とする半導体装置の製造方法を提供する。

この方法によれば、充填層で第2半導体チップを支持するので、第2半導体チップと基板をワイヤボンディングする場合に、充填層を介して第2半導体チップに十分に熱を伝達させることができ、第2半導体チップへの加熱を効率良

く行うことができる。また、第 1 半導体チップから外側に延出した第 2 半導体チップ部分へ加わるボンディング加重や超音波エネルギーを緩和することができる。その結果、第 2 半導体チップの破損を防止することができる。

5 図面の簡単な説明

図 1 は、本発明の第 1 の実施の形態に係る半導体装置の構成を示す断面図である。図 2 は、本発明の第 2 の実施の形態に係る半導体装置の構成を示す断面図である。図 3 は、従来の半導体装置の構成を示す断面図である。

10 発明を実施するための最良の形態

以下、本発明の実施の形態について、添付図面を参照して詳細に説明する。

図 1 は、本発明の第 1 の実施の形態に係る半導体装置の構成を示す断面図である。

図 1 において、インターポザー基板 11 上には、複数の電極パッドが形成されている。この電極パッド上には、第 1 半導体チップ 12 がフリップチップ実装されている。すなわち、第 1 チップ 12 の表面には、前記電極パッドに対応する位置に bumps 14 が設けられており、bumps 14 と電極パッドとが電気的に接続されるようにして、インターポザー基板 11 上に第 1 チップ 12 がフリップチップ実装されている。

第 1 チップ 12 の裏面上には、第 1 チップ 12 よりも寸法が大きい第 2 チップ 13 が接着剤（図示せず）を介して搭載されている。第 2 チップ 13 は、ワイヤ 15 によりインターポザー基板 14 に対してワイヤボンディングされている。

第 1 チップ 12 の外側には台部材 17 が配置されており、この台部材 17 はインターポザー基板 11 上に熱硬化性接着剤（図示せず）を介して搭載されている。すなわち、この台部材 17 は、第 1 チップ 12 より延出した第 2 チップ 13 の部分を支持する位置に配置されている。

台部材 17 は、第 1 及び第 2 チップ 12, 13 と熱膨張率の差が小さい材料で構成されていることが望ましい。例えば、この台部材 17 の材料としては、

4 2 アロイなどの金属を挙げる事ができる。

この台部材 17 の形状は、第 1 チップ 12 を囲むような枠形状であっても良く、第 2 チップ 13 を支持できる位置に設けた柱状体でも良い。台部材 17 の配置位置は、確実に第 2 チップ 13 を支持できるように、第 1 チップ 12 の大

5 きさとほぼ同じかそれより広い領域であることが望ましい。

これらの第 1 チップ 12、第 2 チップ 13 及び台部材 17 は、封止樹脂 16 によりモールドされている。インターポザー基板 11 のチップ実装側と反対側には、プリント配線板に実装する際に使用する接続部材である半田ボール 18 が設けられている。この半田ボール 18 により、スタックドパッケージとプ

10 リント配線板とが電氣的に接続される。

次に、上記構成の半導体装置の製造方法について説明する。

まず、インターポザー基板 11 上に第 1 チップ 12 を搭載する。この場合、第 1 チップ 12 の表面に設けたパンプ 14 をインターポザー基板 11 の電極パッドに当接することによりインターポザー基板 11 上に第 1 チップ 1

15 2 を搭載する。

次いで、第 1 チップ 12 の外側に台部材 17 を配置する。この台部材 17 は、インターポザー基板 11 に熱硬化性樹脂などの接着剤を用いて固定する。次いで、第 1 チップ 12 上に第 1 チップ 12 よりも大きい第 2 チップ 13 を搭載する。この場合、第 1 チップ 12 上に接着剤などにより第 2 チップ 13 を固定

20 する。

このとき、第 2 チップ 13 の第 1 チップ 12 から外側に延出した部分は、台部材 17 で支持される。

次いで、第 2 チップ 13 とインターポザー基板 11 とをワイヤボンディングする。その後、第 1 チップ 12 及び第 2 チップ 13 を搭載したインターポザー基板 11 を封止樹脂 16 を用いてモールドする。その後、インターポザー基板 11 のチップ実装側と反対側に、プリント配線板に実装する際に使用する半田ボール 18 を設ける。

25

このように、台部材 17 で第 2 チップ 13 を支持すると、第 2 チップ 13 とインターポザー基板 11 をワイヤボンディングする場合に、台部材 17 を介

して第2チップ13に十分に熱を伝達させることができ、第2チップ13への加熱を効率良く行うことができる。また、第1チップ12から外側に延出した第2チップ13部分へ加わるボンディング加重や超音波エネルギーを緩和することができる。その結果、第2チップ13の破損を防止することができる。

- 5 図2は、本発明の第2の実施の形態に係る半導体装置の構成を示す断面図である。

図2において、インターポザー基板21上には、複数の電極パッドが形成されている。この電極パッド上には、第1半導体チップ22がフリップチップ実装されている。すなわち、第1チップ22の表面には、前記電極パッドに対応する位置に bumps 24 が設けられており、bumps 24 と電極パッドとが電気的に接続されるようにして、インターポザー基板21上に第1チップ22がフリップチップ実装されている。

- 第1チップ22の裏面上には、第1チップ22よりも寸法が大きい第2半導体チップ23が搭載されている。第2チップ23は、ワイヤ25によりインターポザー基板21に対してワイヤボンディングされている。

第1チップ22と第2チップ13との間には、アンダーコート層として熱硬化性樹脂などで構成された充填層27が設けられている。すなわち、この充填層27は、第1チップ22より延出した第2チップ23の部分を支持する位置に配置されている。充填層27の配置位置は、確実に第2チップ23を支持できるように、第1チップ22の大きさとほぼ同じかそれより広い領域であることが望ましい。なお、充填層27を構成する材料としては、例えば、ダイボンディング材などの非導電性の材料であることが望ましい。

- これらの第1チップ22及び第2チップ23は、封止樹脂26によりモールドされている。インターポザー基板21のチップ実装側と反対側には、プリント配線板に実装する際に使用する接続部材である半田ボール28が設けられている。この半田ボール28により、スタックドパッケージとプリント配線板とが電気的に接続される。

次に、上記構成の半導体装置の製造方法について説明する。

まず、インターポザー基板21上に第1チップ22を搭載する。この場合、

第1チップ22の表面に設けたバンプ24をインターポザー基板21の電極パッドに当接することによりインターポザー基板21上に第1チップ22を搭載する。

5 次いで、第1チップ22上に第1チップ22よりも大きい第2チップ23を搭載する。この場合、第1チップ22上に接着剤などにより第2チップ23を固定する。また、第2チップ23とインターポザー基板21との間、すなわち第1チップ22の外側及び第1チップ22と第2チップ23との間に充填層27を設ける。

10 この充填層27は、まず、比較的粘度の低い樹脂を用いて、第1チップ22とインターポザー基板21との間を充填する。粘度を低くすることにより、バンプ24があっても十分に樹脂が浸透する。次いで、比較的粘度を高く調整した樹脂を用いて、第1チップ22の側面外周と第2チップ23の下面に樹脂を充填する。このとき、第2チップ23の第1チップ22から外側に延出した部分は、充填層27で支持される。なお、粘度調整を行わずに一度に充填層を
15 設けるようにしても良い。

次いで、第2チップ23とインターポザー基板21とをワイヤボンディングする。その後、第1チップ22及び第2チップ23を搭載したインターポザー基板21を封止樹脂26を用いてモールドする。その後、インターポザー基板21のチップ実装側と反対側に、プリント配線板に実装する際に使用する
20 半田ボール28を設ける。

このように、充填層27で第2チップ23を支持すると、第2チップ23とインターポザー基板21をワイヤボンディングする場合に、充填層27を介して第2チップ23に十分に熱を伝達させることができ、第2チップ23への加熱を効率良く行うことができる。また、第1チップ22から外側に延出した
25 第2チップ23部分へ加わるボンディング加重や超音波エネルギーを緩和することができる。その結果、第2チップ23の破損を防止することができる。

上記第1及び第2の実施の形態において、半導体素子である第1チップ12、22、第2チップ13、23としては、SRAMなどを挙げることができる。

本発明は上記実施の形態に限定されず種々変更して実施することが可能で

Isotope	Abundance	Atomic Weight	Half-life	Decay Mode	Energy (MeV)	Spin-Parity	Q-value (MeV)
^{10}B	19.6%	10.0127369	Stable	-	-	3^+	-
^{11}B	80.4%	11.0093054	Stable	-	-	1^+	-
^{12}C	98.9%	12.0000000	Stable	-	-	0^+	-
^{13}C	1.1%	13.0033548	Stable	-	-	1^+	-
^{14}C	Trace	14.0032419	5730 years	β^-	0.156	0^+	0.156
^{15}N	0.36%	15.0001089	Stable	-	-	1^+	-
^{16}O	99.76%	15.9949146	Stable	-	-	0^+	-
^{17}O	0.037%	16.9991315	Stable	-	-	1^+	-
^{18}O	0.204%	17.9991610	Stable	-	-	0^+	-
^{19}F	100%	18.9984032	Stable	-	-	1^+	-
^{20}Ne	90.5%	19.9912642	Stable	-	-	0^+	-
^{21}Ne	0.27%	20.9938469	Stable	-	-	1^+	-
^{22}Ne	9.25%	21.9913851	Stable	-	-	0^+	-
^{23}Ne	Trace	22.9944656	3.68 days	β^-	0.016	1^+	0.016
^{24}Mg	78.9%	23.9850417	Stable	-	-	0^+	-
^{25}Mg	10.0%	24.9858369	Stable	-	-	1^+	-
^{26}Mg	11.1%	25.9825937	Stable	-	-	0^+	-
^{27}Al	100%	26.9815385	Stable	-	-	$5/2^+$	-
^{28}Si	92.2%	27.9769268	Stable	-	-	0^+	-
^{29}Si	4.7%	28.9764947	Stable	-	-	1^+	-
^{30}Si	0.1%	29.9737699	Stable	-	-	0^+	-
^{31}P	100%	30.9737619	Stable	-	-	$1/2^+$	-
^{32}S	95.0%	31.9720710	Stable	-	-	0^+	-
^{33}S	0.75%	32.9714585	Stable	-	-	1^+	-
^{34}S	4.25%	33.9678670	Stable	-	-	0^+	-
^{35}Cl	75.78%	34.9688527	Stable	-	-	$3/2^+$	-
^{36}Cl	Trace	35.9683069	3.083 years	β^-	0.051	1^+	0.051
^{37}Cl	24.22%	36.9659026	Stable	-	-	$3/2^+$	-
^{38}Ar	0.33%	37.9627321	Stable	-	-	0^+	-
^{39}Ar	Trace	38.9643156	269 years	β^-	0.0018	1^+	0.0018
^{40}Ar	9.75%	39.9624338	Stable	-	-	0^+	-
^{41}Ar	Trace	40.9645009	1.82 days	β^-	0.0118	1^+	0.0118
^{42}Ar	Trace	41.9644710	6.26 days	β^-	0.0142	0^+	0.0142
^{43}Ar	Trace	42.9647162	49.5 minutes	β^-	0.048	1^+	0.048
^{44}Ar	Trace	43.9648871	11.97 minutes	β^-	0.058	0^+	0.058
^{45}Ar	Trace	44.9653475	177 minutes	β^-	0.068	1^+	0.068
^{46}Ar	Trace	45.9658079	35.0 minutes	β^-	0.078	0^+	0.078
^{47}Ar	Trace	46.9662683	34.0 minutes	β^-	0.088	1^+	0.088
^{48}Ar	Trace	47.9667287	29.0 minutes	β^-	0.098	0^+	0.098
^{49}Ar	Trace	48.9671891	26.0 minutes	β^-	0.108	1^+	0.108
^{50}Ar	Trace	49.9676495	23.0 minutes	β^-	0.118	0^+	0.118
^{51}Ar	Trace	50.9681099	20.0 minutes	β^-	0.128	1^+	0.128
^{52}Ar	Trace	51.9685703	18.0				

請求の範囲

1. 基板上に搭載された第1半導体チップと、
前記第1半導体チップ上に積層され、前記第1半導体チップよりも大きい第
5 2半導体チップと、
前記第2半導体チップと前記基板との間に配置された台部材と、
前記基板下に配置された接続部材と、
を具備し、
前記台部材により前記第2半導体チップを支持することを特徴とする半導
10 体装置。
2. 基板上に搭載された第1半導体チップと、
前記第1半導体チップ上に積層され、前記第1半導体チップよりも大きい第
2半導体チップと、
前記第2半導体チップと前記基板との間に設けられた充填層と、
15 前記基板下に配置された接続部材と、
を具備し、
前記充填層により前記第2半導体チップを支持することを特徴とする半導
体装置。
3. 基板上に第1半導体チップを搭載する工程と、
20 前記基板上の前記第1半導体チップの外側に台部材を配置する工程と、
前記台部材により支持されるように、前記第1半導体チップ上に前記第1半
導体チップよりも大きい第2半導体チップを搭載する工程と、
を具備することを特徴とする半導体装置の製造方法。
4. 基板上に第1半導体チップを搭載する工程と、
25 前記第1半導体チップ上に前記第1半導体チップよりも大きい第2半導体
チップを搭載する工程と、
前記前記第2半導体チップを支持するように充填層を設ける工程と、
を具備することを特徴とする半導体装置の製造方法。

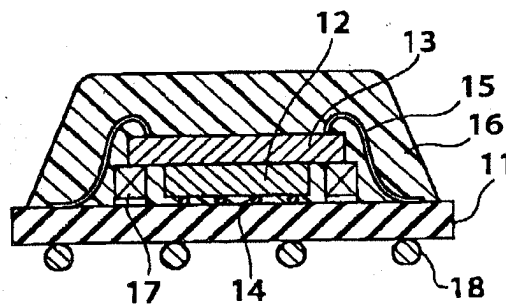
要 約 書

半導体チップを積層してなるスタックドパッケージにおいて、上側の半導体チップの大きさが大きい場合であっても、半導体チップを破損させることなく半導体チップの実装を行うために、インターポザー基板 11 上には、第 1 チップ 12 が実装されている。第 1 チップ 12 の裏面上には、第 1 チップ 12 よりも寸法が大きい第 2 チップ 13 が搭載されている。第 2 チップ 13 は、ワイヤ 15 によりインターポザー基板 11 に対してワイヤボンディングされている。第 1 チップ 12 の外側には、台部材 17 が配置されている。これらの第 1 チップ 12、第 2 チップ 13 及び台部材 17 は、封止樹脂 16 によりモールドされている。インターポザー基板 11 のチップ実装側と反対側には半田ボール 18 が設けられている。

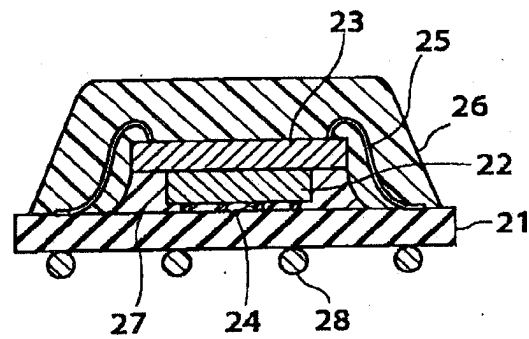
1/2

【書類名】 図面

【図 1】



【図 2】



2/2

【図 3】

